

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 6月27日

出 願 番 号

Application Number:

特願2002-187992

[ST.10/C]:

[JP 2002-187992]

出 願 人

Applicant(s):

富士通株式会社

2003年 2月 7日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3004871

【書類名】 特許願

【整理番号】 0240027

【提出日】 平成14年 6月27日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 3/06

【発明の名称】 記録データ読み取り装置及び記録データ読み取り方法

【請求項の数】 8

【発明者】

【住所又は居所】 愛知県春日井市高蔵寺町二丁目 1 8 4 4 番 2 富士通ヴ
ィエルエスアイ株式会社内

【氏名】 安部 智利

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100068755

【弁理士】

【氏名又は名称】 恩田 博宣

【選任した代理人】

【識別番号】 100105957

【弁理士】

【氏名又は名称】 恩田 誠

【手数料の表示】

【予納台帳番号】 002956

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9909792

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 記録データ読み取り装置及び記録データ読み取り方法

【特許請求の範囲】

【請求項 1】 読み出しクロック信号に基づいて、ディスク上の各セクタに記録されているヘッダー部からアドレス情報を読み取り、そのアドレス情報に基づいて、前記各セクタに記録されているデータ部からデータを読み出す記録データ読み取り装置であって、

前記読み出しクロック信号を、前記ディスクの回転数及び記録密度に基づいて生成する読み出しクロック生成手段を備えたことを特徴とする記録データ読み取り装置。

【請求項 2】 前記読み出しクロック生成手段として、前記ディスクの回転数及び記録密度に基づいて、前記読み出しクロック信号を算出可能とする算出テーブルを備えたことを特徴とする請求項 1 記載の記録データ読み取り装置。

【請求項 3】 読み出しクロック信号に基づいて、ヘッダー部の読み出しデータからアドレス同期マークを検出してアドレス同期マーク検出信号を出力するアドレス同期マーク検出回路と、

前記アドレス同期マーク検出信号と、前記読み出しクロック信号及び読み出しデータとに基づいてアドレス情報を読み取る ID 読み取り回路と、

前記アドレス情報と、前記読み出しクロック信号とに基づいて、読み出しアドレスと当該読み出しアドレスの良否判定結果を出力する ID 判定回路とからなる ID 読み取り装置を備えた記録データ読み取り装置であって、

ディスクの回転数及び記録密度に基づいて、前記読み出しクロック信号を生成する読み出しクロック生成手段と、

前記読み出しクロック信号に基づいて、位相の異なる複数の読み出しクロック信号を生成する遅延回路と、

前記位相の異なる複数の読み出しクロック信号に基づいてそれぞれ動作して、前記読み出しアドレスと当該読み出しアドレスの良否判定結果をそれぞれ出力する複数の ID 読み取り装置と、

前記 ID 読み取り装置から出力される複数の読み出しアドレスと良否判定結果か

ら最も妥当な読み出しアドレス及び良否判定結果を選択して出力する選択回路とを備えたことを特徴とする記録データ読み取り装置。

【請求項 4】 前記選択回路は、複数の読み出しアドレスを多数決判定することを特徴とする請求項 3 記載の記録データ読み取り装置。

【請求項 5】 前記選択回路は、
複数の読み出しアドレスを多数決判定する一致比較回路と、
前記一致比較回路の判定結果に基づいて、前記読み出しアドレスと良否判定結果を選択して出力する出力回路と
から構成したことを特徴とする請求項 4 記載の記録データ読み取り装置。

【請求項 6】 前記遅延回路は、バッファ回路の動作遅延時間に基づいて、位相の異なる複数の読み出しクロック信号を生成することを特徴とする請求項 3 乃至 5 のいずれかに記載の記録データ読み取り装置。

【請求項 7】 前記遅延回路は、
前記読み出しクロック信号の周波数を逡倍する周波数逡倍器と、
直列に複数段接続されたフリップフロップ回路と、
前記フリップフロップ回路は、前記周波数逡倍器の出力信号がクロック信号として入力されるとともに、前記フリップフロップ回路の初段に前記読み出しクロック信号が入力されることを特徴とする請求項 3 乃至 5 のいずれかに記載の記録データ読み取り装置。

【請求項 8】 読み出しクロック信号を、ディスクの回転数及び記録密度に基づいて生成し、該読み出しクロック信号に基づいて、ディスク上の各セクタに記録されているヘッダー部からアドレス情報を読み取り、そのアドレス情報に基づいて、前記各セクタに記録されているデータ部からデータを読み出すことを特徴とする記録データ読み取り方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

この発明は、MO、DVD-RAM等、各セクタにヘッダー部を備えた記録媒体からデータを読み出すデータ読み取り装置に関するものである。

【 0 0 0 2 】

近年、データを記録する記録媒体では、データ記録密度の高密度化、記録容量の大容量化が進んでいる。MO、DVD-RAMでは、各セクタがヘッダー部とデータ部とから構成され、高密度化及び大容量化を図るために、データ部への記録密度の向上が図られている。そして、記録容量をさらに増大させるために、ヘッダー部の記録領域を縮小することが必要となっている。

【 0 0 0 3 】

【従来の技術】

図9は、MOあるいはDVD-RAM等の記録媒体からデータを読み出す読み出し装置を示す。ピックアップ1は、記録媒体2に記録されている信号をアナログデータとして読み出し、リードチャネル部3に出力する。

【 0 0 0 4 】

リードチャネル部3は、ピックアップ1から出力されたアナログデータをデジタル値に変換して読み出しデータRDDATAとしてコントローラ部4に出力する。また、リードチャネル部3は、読み出しデータRDDATAに同期した読み出しクロック信号RDCLKを生成し、コントローラ部4に出力する。

【 0 0 0 5 】

コントローラ部4は、読み出しクロック信号RDCLKに基づいて、読み出しデータRDDATAをサンプリングする。

コントローラ部4の具体的構成を図10に示す。読み出しデータRDDATAはデコーダ5に入力され、そのデコーダ5でチャンネルビットch-bitからByteデータに復調される。

【 0 0 0 6 】

デコーダ5で復調されたByteデータは、フォーマッタ6でその物理フォーマット情報が管理されるとともに、誤り訂正部7で誤り検出処理及び誤り訂正処理が行われる。

【 0 0 0 7 】

そして、デコーダ5で復調されたByteデータ及び誤り訂正部7による処理結果は、バッファマネージャ8を介してバッファメモリ9に格納されるとともに、

データ再生を行うための再生処理部に転送される。

【0008】

図11は、640MB仕様のMOのセクタフォーマットを示す。各セクタは、ヘッダー部10とデータ部11とから構成される、ヘッダー部10は63Byte、データ部11は2490Byte、1セクタは2584Byteで構成される。

【0009】

ヘッダー部10には、VFOエリアVF01, VF02に続いて、それぞれ1ByteのアドレスマークAMと、物理アドレスID1, ID2が格納されている。

データの読み出し動作時には、VFOエリアVF01, VF02の読み出し動作時に、リードチャンネル部3で読み出しデータRDDATAに同期した読み出しクロック信号RDCLKが生成され、その読み出しクロック信号RDCLKに基づいてコントローラ部4で読み出しデータRDDATAの読み出し動作が行われる。

【0010】

すなわち、図12に示すように、1ch-bitずつの読み出しデータRDDATAの読み出しサイクルt1に同期した読み出しクロック信号RDCLKがリードチャンネル部3で生成される。そして、その読み出しクロック信号RDCLKの立上がりに基づいて、コントローラ部4で読み出しデータRDDATAのサンプリングが行われる。

【0011】

前記コントローラ部4のフォーマッタ6の構成を図13に示す。AM検出回路12には、読み出しクロック信号RDCLKと読み出しデータRDDATAが入力されるとともに、アドレスマークAMの読み出しに先立って、フォーマッタ6内で生成されるAM検出ウィンドウ信号W1が入力される。

【0012】

そして、AM検出回路12は読み出しデータRDDATAからアドレスマークAMを検出すると、アドレスマーク検出信号AMDをID読み取り回路13に出力する。

ID読み取り回路13には、読み出しクロック信号RDCLKと読み出しデータRDDATAが入力されるとともに、アドレスマーク検出信号AMDが入力される。そして、ID読み取り回路13は、アドレスマーク検出信号AMDが入力されると、読み出しクロック信号RDCLKに基づいて読み出しデータRDDATAとして入力される物理アドレ

スID1, ID2をサンプリングし、読み出しアドレスIDRとして判定回路14に出力する。

【0013】

ID判定回路14は、読み出しクロック信号RDCLKに基づいて、読み出しアドレスIDRの判定を行う。すなわち、図11に示すように、物理アドレスID1, ID2は3ビットのID部と2ビットの誤り検出符号CRCとで構成され、ID判定回路14はID部と誤り検出符号CRCとで誤り検出処理を行い、その判定結果Xと読み出しアドレスIDRを出力する。

【0014】

そして、判定結果Xが正常であれば、当該セクタのデータ部11から読み出された読み出しデータRDDATAの読み取り処理が行われる。

【0015】

【発明が解決しようとする課題】

上記のようにMOを記録媒体とした読み出し装置では、超磁気解像（MSR）等の記録方式を使用することにより、データ部11に対するデータの記録密度を向上させて、記録容量を増大させることが可能である。

【0016】

しかし、ヘッダー部10はエンボス記録であるため、マーク長をレーザービームスポット径より小さくすることはできない。

そして、図14に示すように、データ部11の記録密度を640MBの1倍密から1.3GBの2倍密、2.3GBの3倍密あるいはX倍密というように引き上げたとき、1セクタあたりのデータ部11の記録領域は減少するが、ヘッダー部10の記録領域は一定である。

【0017】

従って、データ部11の記録密度を向上させるほど、1セクタあたりの記録領域に対するヘッダー部10の占める割合が大きくなるという問題点がある。

このようなことから、ヘッダー部の記録領域を縮小することが望ましく、特にヘッダー部10の記録領域のほぼ2/3を占めるVFO領域VF01, VF02の記録領域を縮小することが望ましい。

【 0 0 1 8 】

しかし、アドレスマークAMの読み取りに先立って、読み出しクロック信号RDCLKを読み出しデータRDDATAに同期させるために、VFO領域VF01, VF02は不可欠である。

【 0 0 1 9 】

この発明の目的は、ヘッダー部の記録領域を縮小し得るデータ読み取り装置を提供することにある。

【 0 0 2 0 】

【課題を解決するための手段】

ディスクの回転数及び記録密度に基づいて生成された読み出しクロック信号RFCLKに基づいて、位相の異なる複数の読み出しクロック信号を生成する遅延回路と、前記位相の異なる複数の読み出しクロック信号に基づいてそれぞれ動作して、前記読み出しアドレスと当該読み出しアドレスの良否判定結果をそれぞれ出力する複数のID読み取り装置と、前記ID読み取り装置から出力される複数の読み出しアドレスと良否判定結果から最も妥当な読み出しアドレス及び良否判定結果を選択して出力する選択回路とをデータ読み取り装置に備えた。

【 0 0 2 1 】

【発明の実施の形態】

(第一の実施の形態)

図1は、この発明を具体化した第一の実施の形態を示す。この実施の形態は、前記従来例のフォーマッタ6の構成を変更したものであり、その他の構成は前記従来例と同様である。また、MOを記録媒体とするデータ読み取り装置として説明するので、アドレス同期マークをアドレスマーク、アドレス同期マーク検出信号をAM検出信号、アドレス同期マーク検出回路をAM検出回路として記載する。

【 0 0 2 2 】

第一～第三のAM検出回路21a～21cは、前記従来例のAM検出回路12と同様な構成であり、第一～第三のID読み取り回路22a～22cは前記従来例のID読み取り回路13と同様な構成である。また、第一～第三のID判定回路23a～23cは、前記従来例のID判定回路14と同様な構成である。そして、AM検出回

路、ID読み取り回路及びID判定回路により一組のID読み取り装置が構成される。

【 0 0 2 3 】

第一のAM検出回路 2 1 a には、読み出しクロック信号RFCLKと読み出しデータRDDATAが入力されるとともに、アドレスマークAMの読み出しに先立って、フォーマッタ 6 内で生成されるAM検出ウィンドウ信号W1が入力される。

【 0 0 2 4 】

そして、第一のAM検出回路 2 1 a は読み出しデータRDDATAからアドレスマークAMを検出すると、アドレスマーク検出信号AMDを第一のID読み取り回路 2 2 a に出力する。

【 0 0 2 5 】

第一のID読み取り回路 2 2 a には、読み出しクロック信号RFCLKと読み出しデータRDDATAが入力されるとともに、アドレスマーク検出信号AMDが入力される。そして、第一のID読み取り回路 2 2 a は、アドレスマーク検出信号AMDが入力されると、読み出しクロック信号RFCLKに基づいて読み出しデータRDDATAとして入力される物理アドレスID 1, ID2 (アドレス情報) をサンプリングし、読み出しアドレスIDRとして第一のID判定回路 2 3 a に出力する。

【 0 0 2 6 】

第一のID判定回路 2 3 a は、読み出しクロック信号RFCLKに基づいて、読み出しアドレスIDRの判定を行う。すなわち、第一のID判定回路 2 3 a は物理アドレスID1, ID2のID部と誤り検出符号CRCとで誤り検出処理を行い、その判定結果X 1 と読み出しアドレスIDR1を取り込み回路 2 4 に出力する。

【 0 0 2 7 】

第二のAM検出回路 2 1 b、第二のID読み取り回路 2 2 b 及び第二のID判定回路 2 3 b には前記読み出しクロック信号RFCLKを第一の遅延回路 2 5 a で遅延させた読み出しクロック信号RFCLK1が入力される。

【 0 0 2 8 】

そして、第二のAM検出回路 2 1 b、第二のID読み取り回路 2 2 b 及び第二のID判定回路 2 3 b は、読み出しクロック信号RFCLK1に基づいて、第一のAM検出回路 2 1 a、第一のID読み取り回路 2 2 a 及び第一のID判定回路 2 3 a と同様の動作

を行う。

【 0 0 2 9 】

第二のID判定回路 2 3 b は、判定結果 X 2 と読み出しアドレス IDR2を取り込み回路 2 4 に出力する。

第三のAM検出回路 2 1 c、第三のID読み取り回路 2 2 c 及び第三のID判定回路 2 3 c には前記読み出しクロック信号 RFCLK を第二の遅延回路 2 5 b で遅延させた読み出しクロック信号 RFCLK2 が入力される。

【 0 0 3 0 】

そして、第三のAM検出回路 2 1 c、第三のID読み取り回路 2 2 c 及び第三のID判定回路 2 3 c は、読み出しクロック信号 RFCLK2 に基づいて、第一のAM検出回路 2 1 a、第一のID読み取り回路 2 2 a 及び第一のID判定回路 2 3 a と同様の動作を行う。

【 0 0 3 1 】

第三のID判定回路 2 3 c は、判定結果 X 3 と読み出しアドレス IDR3を取り込み回路 2 4 に出力する。

前記AM検出ウィンドウ信号 W1 及び読み出しクロック信号 RFCLK は、カウンタ回路 2 6 に入力される。カウンタ回路 2 6 は、AM検出ウィンドウ信号 W1 の入力の停止に基づいて読み出しクロック信号 RFCLK のカウント動作を開始し、そのカウント動作に基づいて所定の時間をカウントする。

【 0 0 3 2 】

そして、AM検出ウィンドウ信号 W1 の入力の停止から所定時間後に、判定タイミング信号 J を前記取り込み回路 2 4 に出力する。この判定タイミング信号 J の出力タイミングは、第一～第三のID判定回路 2 3 a ～ 2 3 c から読み出しアドレス IDR1～IDR3 及び判定結果 X 1 ～ X 3 が出力された後に出力されるように設定される。

【 0 0 3 3 】

前記読み出しクロック信号 RFCLK は、記録媒体 2 であるディスクの回転速度と記録密度とから算出される。例えば、ディスクの回転速度が 5 0 H z の場合の読み出しクロック信号 RFCLK は、図 5 に示す変換テーブル T に基づいて、前記コン

トローラ部 4 を制御する M P U で算出される。前記変換テーブル及び M P U は、読み出しクロック生成手段として動作する。

【 0 0 3 4 】

図 5 において、Band0～Band10は、ディスクの内周から外周に向かって形成される複数のゾーンに対応するものであり、各ゾーンにはそれぞれ異なる記録密度でデータが記録されている。

【 0 0 3 5 】

読み出しデータRDDATAと読み出しクロック信号RFCLKは、位相同期しておらず周波数のずれが存在する。しかし、例えば読み出しデータRDDATAの 1 ch-bitの周期 t_2 が 1 0 nsecである場合、読み出しデータRDDATAの周期 t_2 と読み出しクロック信号RFCLKの周期 t_3 のずれが 1 0 nsec以内となるように、変換テーブルに基づいて読み出しクロック信号RFCLKが算出される。

【 0 0 3 6 】

前記第一の遅延回路 2 5 a は、図 4 に示すように、バッファ回路 2 7 a で構成され、図 3 に示すように、読み出しクロック信号RFCLKを遅延させた読み出しクロック信号RFCLK1を出力する。

【 0 0 3 7 】

前記第二の遅延回路 2 5 b は、図 4 に示すように、バッファ回路 2 7 b , 2 7 c で構成され、図 3 に示すように、読み出しクロック信号RFCLKを遅延させた読み出しクロック信号RFCLK2を出力する。

【 0 0 3 8 】

そして、読み出しクロック信号RFCLKと同RFCLK1の位相差と、読み出しクロック信号RFCLK1と同RFCLK2との位相差は同一となるように設定され、かつ読み出しクロック信号RFCLKと同RFCLK2との位相差は、読み出しデータRDDATAの周期を越えないように設定されている。

【 0 0 3 9 】

前記取り込み回路 2 4 は、判定タイミング信号 J に基づいて、読み出しアドレスIDR1～IDR3及び判定結果 X 1 ～ X 3 を取り込む。そして、図 2 に示すように、読み出しアドレスIDR1～IDR3を一致比較回路 2 8 及び出力回路 2 9 に出力すると

ともに、判定結果X 1 ～X 3 を出力回路 2 9 に出力する。

【 0 0 4 0 】

前記一致比較回路 2 8 は、読み出しアドレスIDR1～IDR3のアドレス値を比較し、その比較結果Yを前記出力回路 2 9 に出力する。前記出力回路 2 9 は、比較結果Yと読み出しアドレスIDR1～IDR3及び判定結果X 1 ～X 3 とに基づいて、アドレス値IDXと判定結果Zを出力する。

【 0 0 4 1 】

次に、上記のように構成されたデータ読み取り装置の動作を説明する。

さて、データの読み出し動作時には、リードチャネル部 3 からデコーダ 5 を介してフォーマッタ 6 に図 3 に示す読み出しデータRDDATAが入力される。また、フォーマッタ 6 には、ディスクの回転速度と記録密度とから算出された読み出しクロック信号RFCLKが入力される。

【 0 0 4 2 】

すると、フォーマッタ 6 では第一及び第二の遅延回路 2 5 a, 2 5 b により読み出しクロック信号RFCLK1, RFCLK2が生成される。

そして、第一のAM検出回路 2 1 a、第一のID読み取り回路 2 2 a 及び第一のID判定回路 2 3 a は読み出しクロック信号RFCLKに基づいて動作する。第二のAM検出回路 2 1 b、第二のID読み取り回路 2 2 b 及び第二のID判定回路 2 3 b は読み出しクロック信号RFCLK1に基づいて動作する。また、第三のAM検出回路 2 1 c、第三のID読み取り回路 2 2 c 及び第三のID判定回路 2 3 c は読み出しクロック信号RFCLK2に基づいて動作する。

【 0 0 4 3 】

このような動作により、図 3 に示すように、読み出しデータRDDATAとして入力される物理アドレスID1, ID2に対し 3 種類の読み出しクロック信号RFCLK～RFCLK 2 で読み出し動作が行われる。そして、第一～第三のID判定回路 2 3 a ～2 3 c から読み出しアドレスIDR1～IDR3及び判定結果X 1 ～X 3 が出力される。

【 0 0 4 4 】

取り込み回路 2 4 は、読み出しアドレスIDR1～IDR3及び判定結果X 1 ～X 3 が入力された時点で判定タイミング信号Jに基づいて読み出しアドレスIDR1～IDR3

及び判定結果X 1 ～X 3 を取り込む。

【 0 0 4 5 】

そして、読み出しアドレスIDR1～IDR3を一致比較回路 2 8 及び出力回路 2 9 に出力するとともに、判定結果X 1 ～X 3 を出力回路 2 9 に出力する。取り込み回路 2 4、一致比較回路 2 8 及び出力回路 2 9 により選択回路が構成される。

【 0 0 4 6 】

一致比較回路 2 8 及び出力回路 2 9 は、図 6 に示すような動作を行う。同図において、IDA～IDCは読み出しアドレスIDR1～IDR3として読み取ったID値であり、×××はアドレス値をとりこぼした場合の不定値である。

【 0 0 4 7 】

また、判定結果X 1 ～X 3 を示す○はエラーなしを示し、E はエラーありを示す。

ケース 1 は、読み出しアドレスIDR1～IDR3のアドレス値がすべて同一の値IDAとなり、判定結果X 1 ～X 3 がすべてエラーなしとなった場合である。この場合には、出力回路 2 9 から出力されるアドレス値IDXはIDAとなり、判定結果Zはエラーなしとなる。

【 0 0 4 8 】

ケース 2 は、読み出しアドレスIDR1、IDR2のアドレス値が同一の値IDAであり、判定結果X 1、X 2 がエラーなしであるが、読み出しアドレスIDR3のアドレス値が不定となり、判定結果X 3 がエラーありとなった場合である。

【 0 0 4 9 】

この場合には、読み出しアドレスIDR1、IDR2のアドレス値が一致しているので、多数決判定により出力回路 2 9 から出力されるアドレス値IDXはIDAとなり、判定結果Zはエラーなしとなる。

【 0 0 5 0 】

ケース 3 は、読み出しアドレスIDR1のアドレス値がIDAであり、判定結果X 1 がエラーなしであるが、読み出しアドレスIDR2、IDR3のアドレス値が不定となり、判定結果X 2、X 3 がエラーありとなった場合である。

【 0 0 5 1 】

この場合には、多数決判定により出力回路 2 9 から出力されるアドレス値IDXはIDAとなり、判定結果Zはエラーなしとなる。

ケース 4 は、読み出しアドレスIDR1～IDR3のアドレス値がすべて不定となり、判定結果X 1 ～X 3 がすべてエラーありとなった場合である。この場合には、出力回路 2 9 から出力されるアドレス値IDXは不定となり、判定結果Zはエラーありとなる。

【 0 0 5 2 】

ケース 5 は、読み出しアドレスIDR1, IDR2のアドレス値が同一の値IDAであり、判定結果X 1, X 2 がエラーなしであるが、読み出しアドレスIDR3のアドレス値がIDBとなり、判定結果X 3 がエラーなしとなった場合である。

【 0 0 5 3 】

この場合には、読み出しアドレスIDR1, IDR2のアドレス値が一致しているので、多数決判定により出力回路 2 9 から出力されるアドレス値IDXはIDAとなり、判定結果Zはエラーなしとなる。

【 0 0 5 4 】

ケース 6 は、読み出しアドレスIDR1のアドレス値がIDAであり、判定結果X 1 がエラーなし、読み出しアドレスIDR2のアドレス値がIDB、判定結果X 2 がエラーなし、読み出しアドレスIDR3のアドレス値が不定となり、判定結果X 3 がエラーありとなった場合である。

【 0 0 5 5 】

この場合には、多数決判定により、出力回路 2 9 から出力されるアドレス値IDXは不定となり、判定結果Zはエラーありとなる。

ケース 7 は、読み出しアドレスIDR1～IDR3のアドレス値がすべて異なり、判定結果X 1 ～X 3 がすべてエラーなしとなった場合である。

【 0 0 5 6 】

この場合には、多数決判定により、出力回路 2 9 から出力されるアドレス値IDXは不定となり、判定結果Zはエラーありとなる。

このような動作により、出力回路 2 9 からアドレス値IDXが出力され、かつ判定結果Zがエラーなしとなれば、当該セクタのデータ部からのデータの読み出し

が行われる。

【 0 0 5 7 】

また、出力回路 2 9 から出力されるアドレス値IDXが不定となり、かつ判定結果Zがエラーありとなれば、当該セクタのデータ部からのデータの読み出しは停止される。

【 0 0 5 8 】

上記のように構成されたデータ読み取り装置では、次に示す作用効果を得ることができる。

(1) ディスクの回転数とデータの記録密度から算出された読み出しクロックRFCLKに基づいて、物理アドレスID1, ID2の読み出し動作を行う。従って、ヘッダ一部 1 0 にV F O エリアVF01, VF02を設ける必要はない。この結果、ヘッダ一部 1 0 の記録領域を縮小することができるので、ディスクの記録容量を増大させることができる。

(2) 読み出しクロックRFCLKは、物理アドレスID1, ID2の読み出しデータRDDATAとは完全に同期しているわけではない。そこで、読み出しクロックRFCLKの位相をずらした複数の読み出しクロック信号RFCLK, RFCLK1, RFCLK2を生成し、各読み出しクロック信号RFCLK, RFCLK1, RFCLK2に基づいて、それぞれ読み出しデータRDDATAの読み出し動作を行う。従って、読み出しデータRDDATAを確実に読み出すことができる。

(3) 複数の読み出しクロック信号RFCLK, RFCLK1, RFCLK2に基づいてそれぞれ読み出された読み出しアドレスIDR1～IDR3と、そのアドレス値が誤り検出符合CRCに基づいて正常か否かが判定された判定結果X 1 ～X 3 とが一致比較回路 2 8 及び出力回路 2 9 に出力される。そして、一致比較回路 2 8 及び出力回路 2 9 により多数決判定を行い、アドレス値IDX及び判定結果Zを出力することができる。従って、読み出しアドレスIDR1～IDR3の中から最も妥当なアドレス値IDXと判定結果Zを出力することができる。

(第二の実施の形態)

図 7 は、第二の実施の形態を示す。この実施の形態は、前記第一の実施の形態の第一及び第二の遅延回路 2 5 a , 2 5 b の別例を示すものである。

【 0 0 5 9 】

第一の遅延回路 2 5 a は、前記読み出しクロック信号 RFCLK が P L L 回路で構成される周波数通倍器 3 0 a に入力されるとともに、フリップフロップ回路 3 1 a にデータ D として入力される。

【 0 0 6 0 】

前記周波数通倍器 3 0 a は、図 8 に示すように、読み出しクロック信号 RFCLK を 6 倍の周波数に変換した出力信号 S G 1 をバッファ回路 3 2 a に出力する。バッファ回路 3 2 a は周波数通倍器 3 0 a の出力信号 S G 1 の位相を $1/2$ 周期ずらした出力信号 S G 2 をフリップフロップ回路 3 1 a ~ 3 1 c にクロック信号 C として出力する。

【 0 0 6 1 】

前記フリップフロップ回路 3 1 a は、クロック信号 C の立上がりに基づいて、データ D を出力信号 Q 1 として出力し、その出力信号 Q 1 はフリップフロップ回路 3 1 b にデータ D として入力される。

【 0 0 6 2 】

前記出力信号 Q 1 は、読み出しクロック信号 RFCLK を周波数通倍器 3 0 a の出力信号 S G 1 の $1/2$ 周期分遅らせた信号となる。

前記フリップフロップ回路 3 1 b は、クロック信号 C の立上がりに基づいて、データ D を出力信号 Q 2 として出力し、その出力信号 Q 2 はフリップフロップ回路 3 1 c にデータ D として入力される。

【 0 0 6 3 】

前記フリップフロップ回路 3 1 c は、クロック信号 C の立上がりに基づいて、データ D を出力信号 Q 3 として出力し、その出力信号 Q 3 が読み出しクロック信号 RFCLK1 として出力される。

【 0 0 6 4 】

読み出しクロック信号 RFCLK1 は、フリップフロップ回路 3 1 b, 3 1 c の動作により、図 8 に示すように、読み出しクロック信号 RFCLK をほぼ $1/3$ 周期遅らせた信号となる。

【 0 0 6 5 】

第二の遅延回路 2 5 b は、周波数通倍器 3 0 b と、バッファ回路 3 2 b と、フリップフロップ回路 3 1 d ~ 3 1 h とから構成される。第一の遅延回路 2 5 a に対し、フリップフロップ回路が 2 段分増えた構成であり、その他の構成は第一の遅延回路 2 5 a と同様である。

【 0 0 6 6 】

従って、読み出しクロック信号 RFCLK をほぼ 2 / 3 周期遅らせた読み出しクロック信号 RFCLK 2 がフリップフロップ回路 3 1 h から出力される。

このように構成された第一及び第二の遅延回路 2 5 a , 2 5 b を使用して、第一の実施の形態と同様なデータ読み取り装置を構成することができる。

【 0 0 6 7 】

上記実施の形態は、次に示すように変更することもできる。

・位相の異なる読み出しクロック信号を 3 種類以上生成し、さらに多数の読み出しアドレス及び判定結果に基づいて、多数決判定を行うようにしてもよい。

【 0 0 6 8 】

【発明の効果】

以上詳述したように、この発明はヘッダー部の記録領域を縮小し得るデータ読み取り装置を提供することができる。

【図面の簡単な説明】

- 【図 1】 第一の実施の形態を示すブロック図である。
- 【図 2】 第一の実施の形態を示すブロック図である。
- 【図 3】 第一の実施の形態の動作を示すタイミング波形図である。
- 【図 4】 第一及び第二の遅延回路を示す回路図である。
- 【図 5】 読み出しクロック信号の算出テーブルを示す説明図である。
- 【図 6】 一致比較回路及び出力回路の動作を示す説明図である。
- 【図 7】 第一及び第二の遅延回路の別例を示す回路図である。
- 【図 8】 第一及び第二の遅延回路の別例の動作を示すタイミング波形図である。

【図 9】 データ読み取り装置を示すブロック図である。

【図 1 0】 コントローラ部の構成を示すブロック図である。

【図 1 1】 セクタの構成を示す説明図である。

【図 1 2】 従来のデータ読み出し動作を示すタイミング波形図である。

【図 1 3】 従来のフォーマッタの構成を示すブロック図である。

【図 1 4】 ヘッダー部とデータ部の占有割合を示す説明図である。

【符号の説明】

1 0 ヘッダー部

1 1 データ部

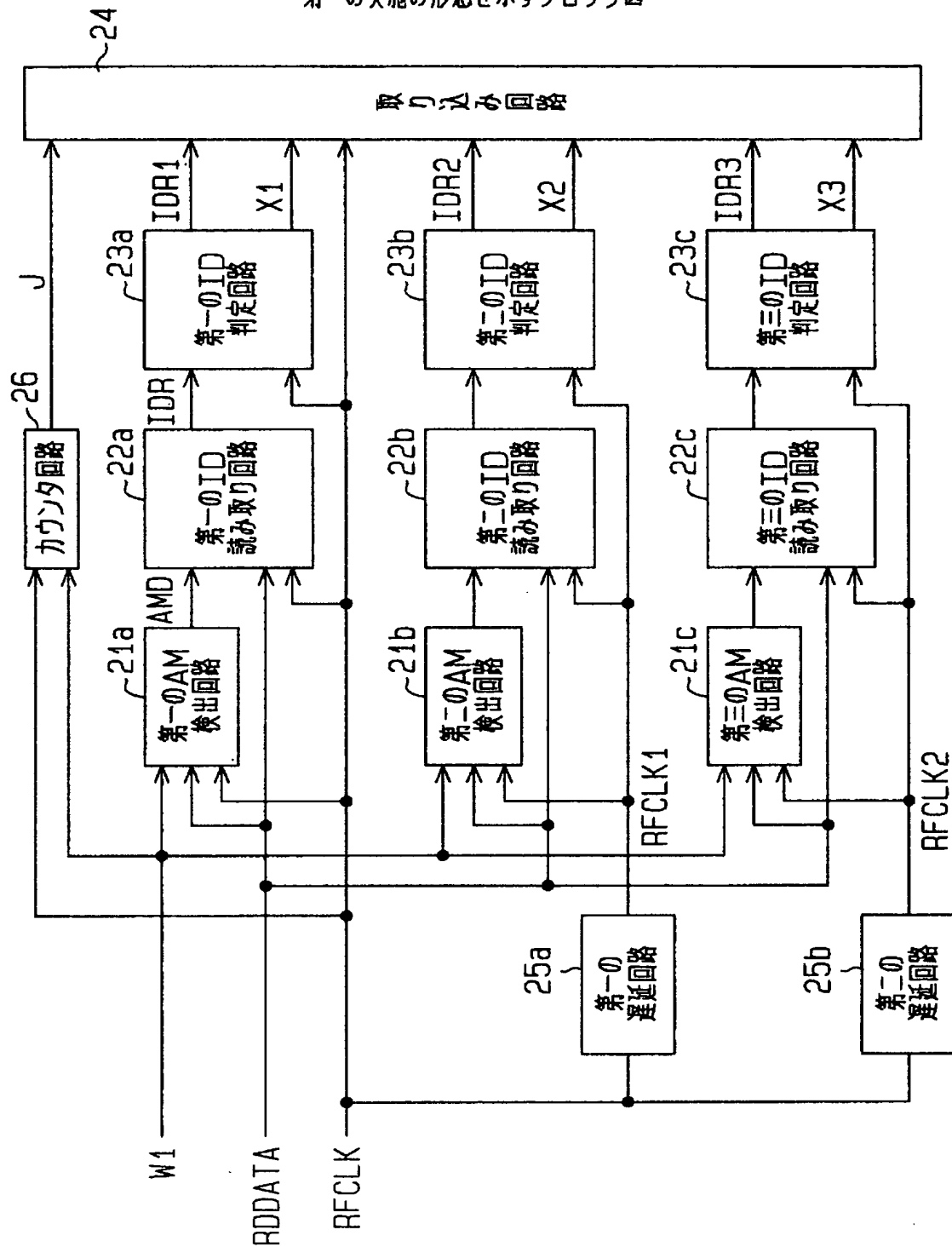
RFCLK, RFCLK1, RFCLK2 読み出しクロック信号

T 読み出しクロック生成手段（変換テーブル）

【書類名】 図面

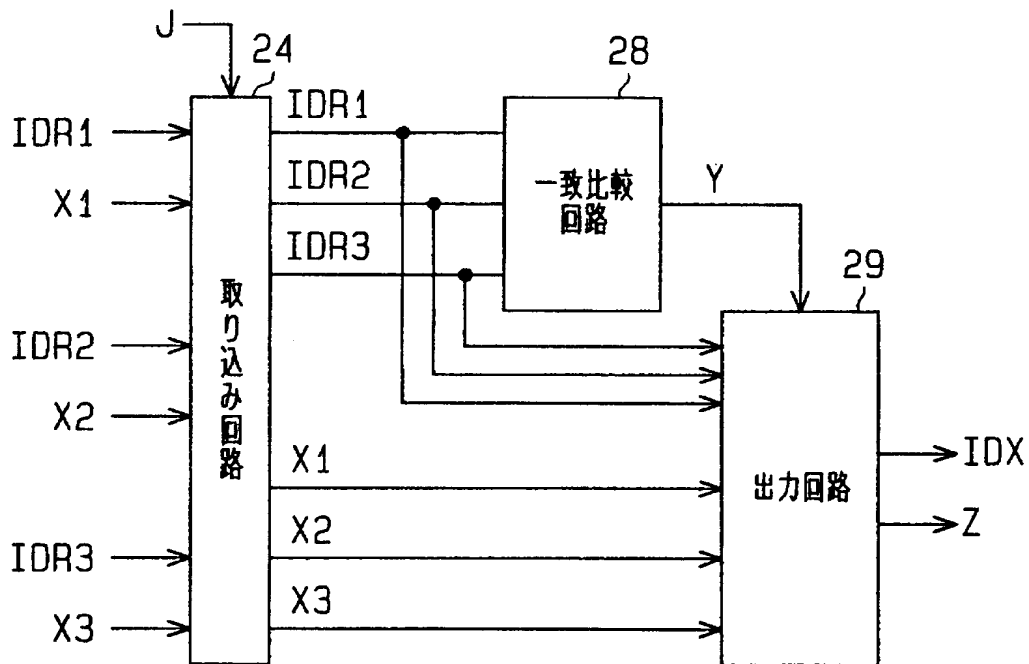
【図 1】

第一の実施の形態を示すブロック図



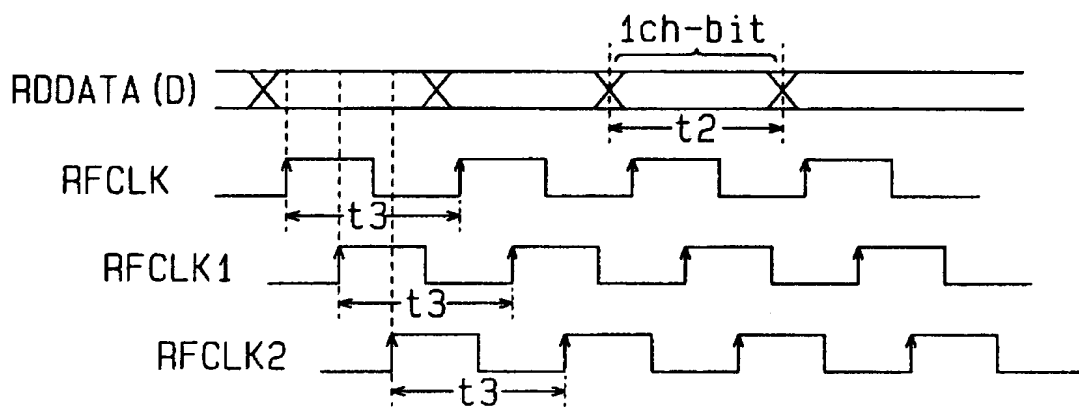
【図 2】

第一の実施の形態を示すブロック図



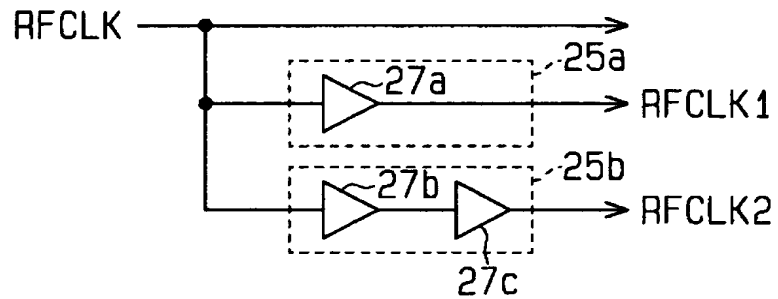
【図 3】

第一の実施の形態の動作を示すタイミング波形図



【図 4】

第一及び第二の遅延回路を示す回路図



【図 5】

読み出しクロック信号の算出テーブルを示す説明図

Band	RFCLK周波数 (MHz)
Band0	23.26
Band1	24.81
Band2	26.36
Band3	27.91
Band4	29.46
Band5	31.01
Band6	32.56
Band7	34.11
Band8	35.66
Band9	37.21
Band10	38.76

← T

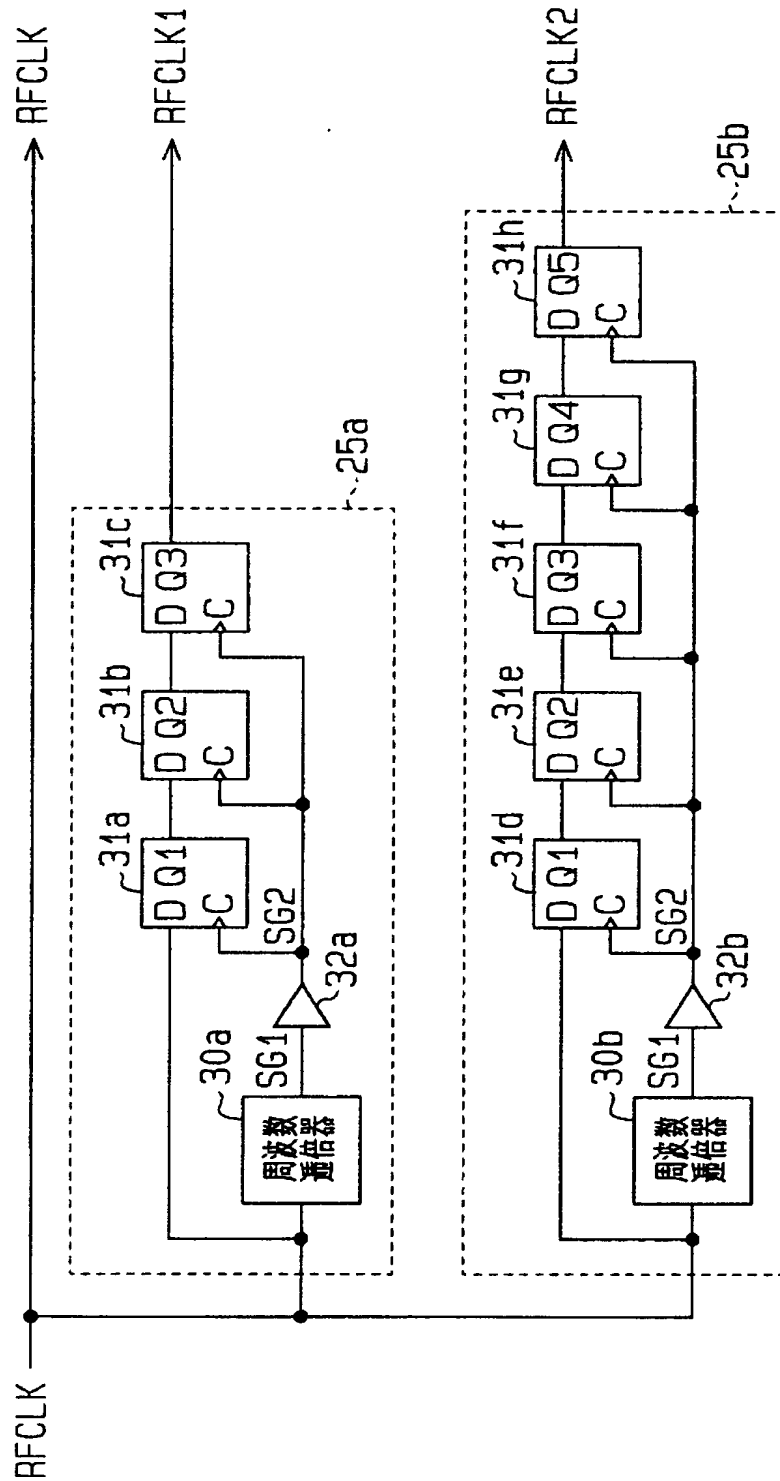
【図 6】

一致比較回路及び出力回路の動作を示す回路図

ケースNo.	①	②	③	④	⑤	⑥	⑦
IDR1	IDA	IDA	IDA	xxx	IDA	IDA	IDA
X1	○	○	○	E	○	○	○
IDR2	IDA	IDA	xxx	xxx	IDA	IDB	IDB
X2	○	○	E	E	○	○	○
IDR3	IDA	xxx	xxx	xxx	IDB	xxx	IDC
X3	○	E	E	E	○	E	○
IDX	IDA	IDA	IDA	xxx	IDA	xxx	xxx
Z	○	○	○	E	○	E	E

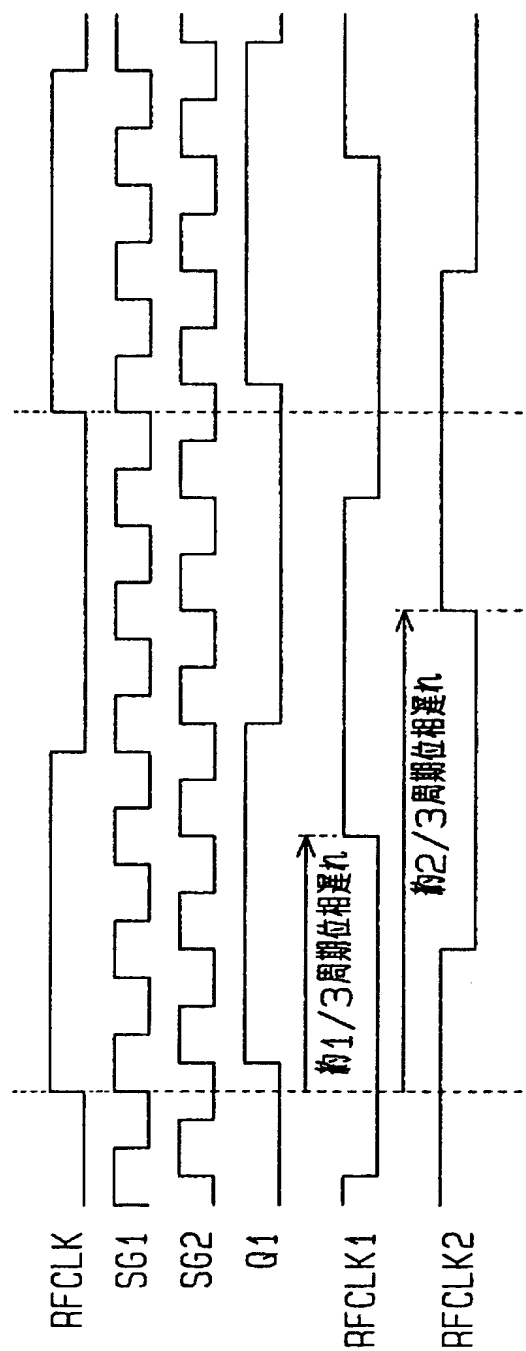
【図 7】

第一及び第二の遅延回路の別例を示す回路図



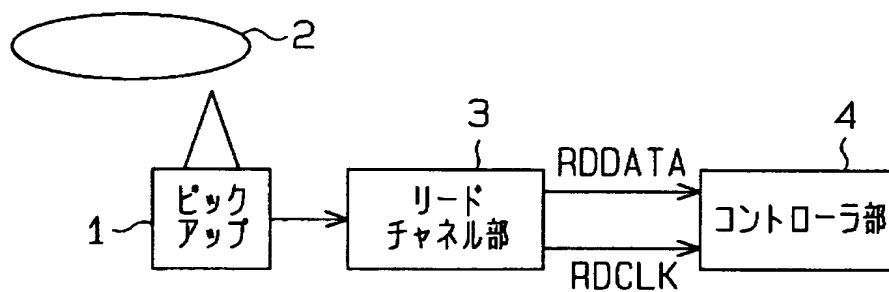
【図 8】

第一及び第二の遅延回路の別例の動作を示すタイミング波形図



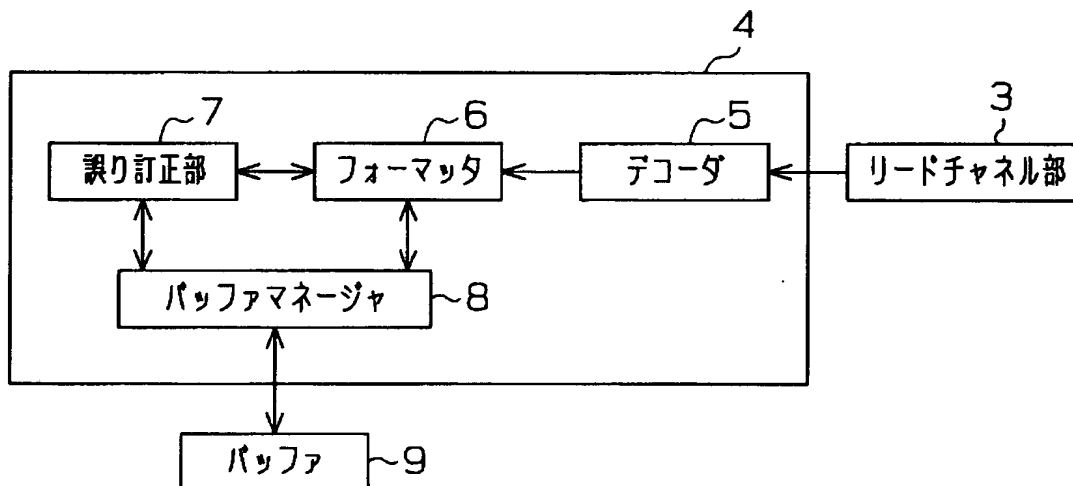
【図 9】

データ読み取り装置を示すブロック図



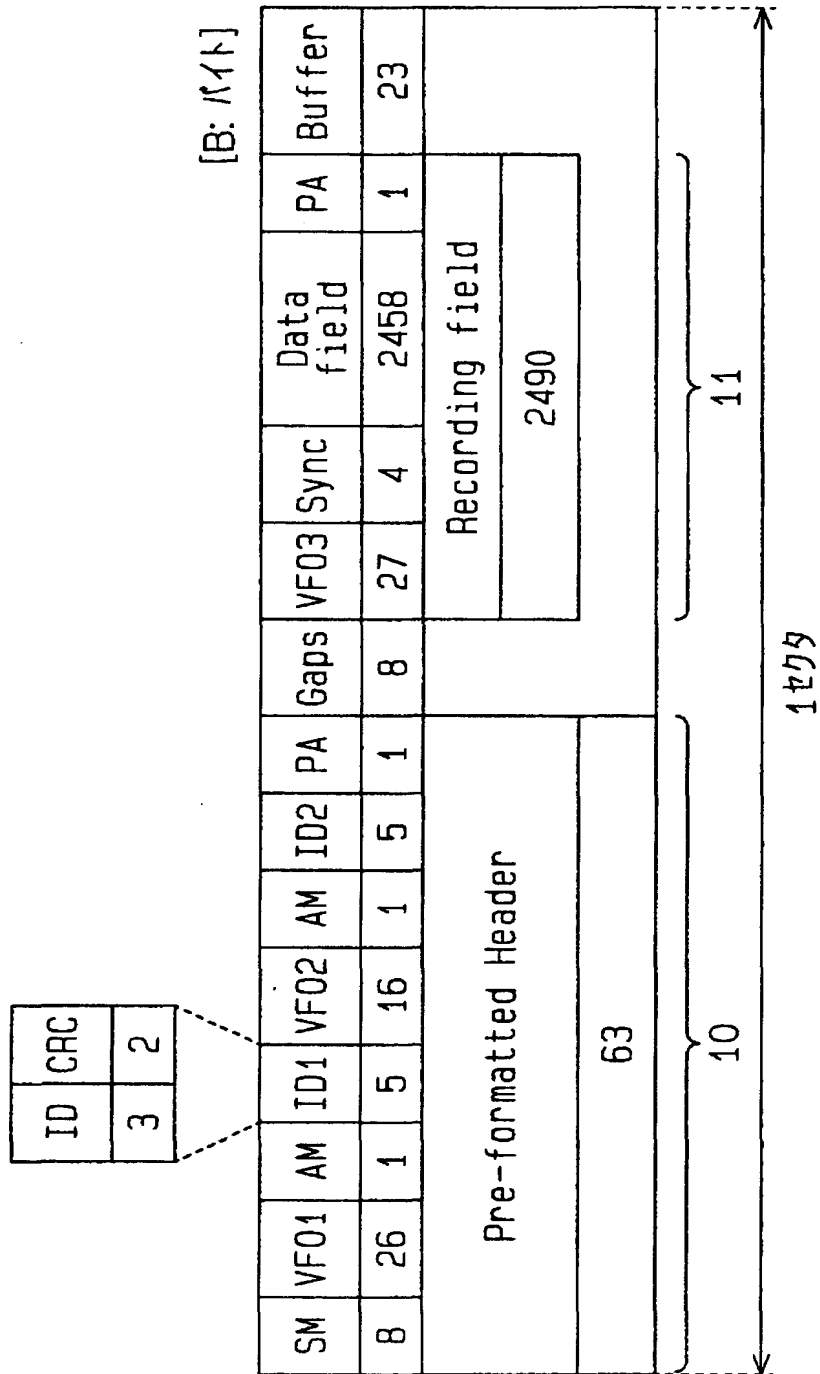
【図 1 0】

コントローラ部の構成を示すブロック図



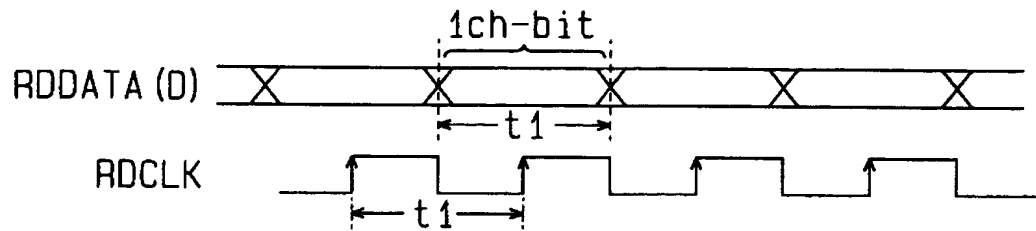
【図 1 1】

セクタの構成を示す説明図



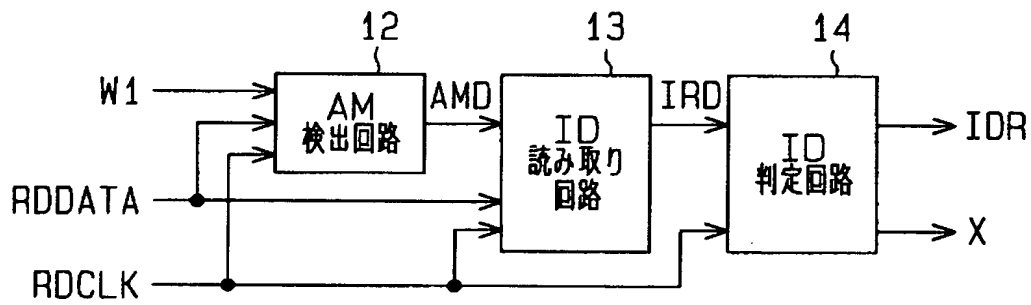
【図 1 2】

従来のデータ読み出し動作を示すタイミング波形図



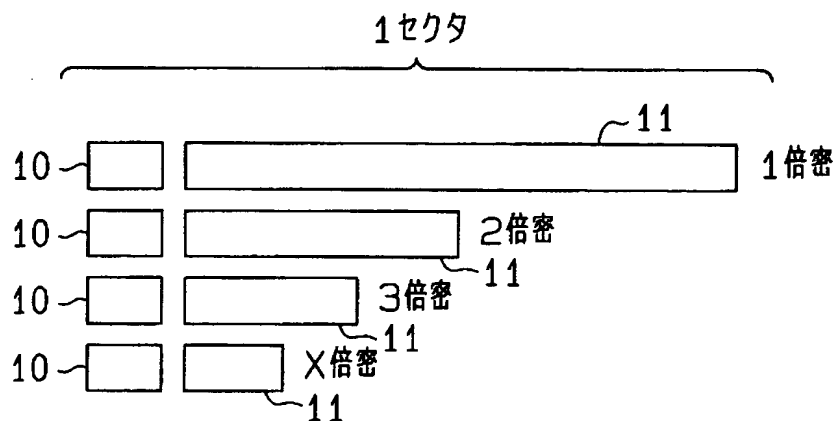
【図 1 3】

従来のフォーマッタの構成を示すブロック図



【図 1 4】

ヘッダ部とデータ部の占有割合を示す説明図



【書類名】 要約書

【要約】

【課題】 ヘッダー部の記録領域を縮小し得るデータ読み取り装置を提供する。

【解決手段】 ディスクの回転数及び記録密度に基づいて生成された読み出しクロック信号RFCLKに基づいて、位相の異なる複数の読み出しクロック信号RFCLK1, RFCLK2を生成する遅延回路25a, 25bと、位相の異なる複数の読み出しクロック信号RFCLK, RFCLK1, RFCLK2に基づいてそれぞれ動作して、読み出しアドレスと当該読み出しアドレスの良否判定結果をそれぞれ出力する複数のID読み取り装置と、ID読み取り装置から出力される複数の読み出しアドレスIDR1～IDR3と良否判定結果X1～X3から最も妥当な読み出しアドレス及び良否判定結果を選択して出力する選択回路とをデータ読み取り装置に備えた。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 2 2 3]

1. 変更年月日 1 9 9 6 年 3 月 2 6 日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号
氏 名 富士通株式会社